

**PAT-NO:** JP405204747A

**DOCUMENT-IDENTIFIER:** JP 05204747 A

**TITLE:** SEMICONDUCTOR MEMORY CONTROLLER

**PUBN-DATE:** August 13, 1993

**INVENTOR-INFORMATION:**

**NAME**

**OKA, KENICHIRO**

**ONISHI, MASARU**

**ASSIGNEE-INFORMATION:**

**NAME**

**COUNTRY**

**MITSUBISHI ELECTRIC CORP**

**N/A**

**APPL-NO:** JP04014238

**APPL-DATE:** January 29, 1992

**INT-CL (IPC):** G06F012/04

**ABSTRACT:**

**PURPOSE:** To provide a semiconductor memory controller, which can control plural semiconductor memory cells, concerning the semiconductor memory controller to compress/expand data.

**CONSTITUTION:** A semiconductor memory controller 10 is provided with a compression encoder 14 to compress data to be written in semiconductor memories 12 and an expansion decoder 16 to expand data read from the semiconductor memories 12. On the other hand, the semiconductor memory controller 10 is provided with a control circuit 18 to control these compression encoder 14 and expansion decoder 16 and a parameter register group 20 to designate the operating mode of the control circuit 18. Further, this control circuit 18 generates local addresses or various control signals to be supplied to the semiconductor memories 12. Thus, the plural semiconductor memories can be simultaneously managed and efficiently utilized.

**COPYRIGHT:** (C)1993,JPO&Japio

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor memory controller applied to the semiconductor memory equipment which used the semiconductor memory component.

[0002]

[Description of the Prior Art] In recent years, the engine performance of a copying machine, an image display device, etc. is improving remarkably. What has a very big capacity of the semiconductor memory for holding image data etc. in connection with it is demanded. Therefore, the number of the memory devices used for these equipments is huge, and a component-side product is also size very much. Although what is necessary is just to have increased the storage capacity per piece in order to decrease the number of memory devices, as long as there was no fast improvement in the accumulation consistency of a semiconductor memory component, it was inadequate for solving a problem.

[0003] As opposed to such a problem, the memory device with compression / elongation function of data is proposed in JP,63-183699,A, JP,2-86267,A, JP,3-105789,A, etc. By performing compression and elongation of data in each semiconductor memory, many data are memorized with small memory capacity.

[0004]

[Problem(s) to be Solved by the Invention] If the conventional memory device with compression / elongation function was not equipped with the circuit of compression or elongation for every memory device and it was \*\*\*\*, it had the futility that the circuit which carries out \*\* and the same actuation was [ two or more ] necessary.

[0005] Moreover, since the code length after compression changes with the data to compress when a variable-length-coding method is adopted as a compression method, the actual storage region used will change with each memory devices. For this reason, the amount of data memorized by each memory device came apart, and there was a problem that efficient use of the storage region of a memory device could not be attained.

[0006] This invention was made in view of such a technical problem, it is the semiconductor memory controller which performs compression and elongation of data, and the purpose is obtaining the semiconductor memory controller which can control two or more semiconductor memory components.

[0007]

[Means for Solving the Problem] A compression means to compress the data inputted into said each memory in order that this invention may solve an above-mentioned technical problem, The control means which generates the address with which it is an elongation means to elongate the data outputted from said each memory, and a means to perform quota control of the storage region in said memory according to said compressed amount of data, and said storage region is expressed, An implication and said two or more memory devices are semiconductor memory controllers

characterized by being prepared in another object.

[0008] Therefore, it is the semiconductor memory controller which realizes close and the memory apparatus to output, and in which the so-called sequential access is possible for close and the data to output for every sequence of the continuously.

[0009] Moreover, a compression means to compress the data by which this invention is inputted into said each memory, They are an elongation means to elongate the data outputted from said each memory, and a means to perform quota control of the storage region in said memory of said compressed data. It is the semiconductor memory controller characterized by preparing said two or more memory devices in another object including the control means which calculates the address with which said storage region is expressed based on the address inputted from the outside.

[0010] Therefore, it is the semiconductor memory controller which specifies the location memorized with the address and which realizes the memory apparatus in which the so-called random access is possible.

[0011]

[Function] Conventionally, compression / elongation means was established for every semiconductor memory component. However, since only the lot is prepared in the semiconductor memory controller of the piece which manages two or more semiconductor memory, compression / elongation means in this invention can perform the data compression and elongation to all semiconductor memory components with compression / elongation means of the lot. Moreover, since two or more semiconductor memory is managed by the semiconductor memory controller of a piece, it is 1 base-tube Michiyoshi ability about the operating condition of two or more semiconductor memory components.

[0012]

[Example]

One or less example and the suitable example of this invention are explained based on a drawing.

[0013] The configuration block Fig. of the memory apparatus which applied the semiconductor memory controller which is one example of this invention to drawing 1 is shown. This memory apparatus consists of a semiconductor memory controller 10 which is one example of this invention, and semiconductor memory 12 which memorizes the data compressed by the semiconductor memory controller 10, and I/O of data is altogether performed through this semiconductor memory controller 10 as shown in drawing.

[0014] The semiconductor memory controller 10 is equipped with the compression encoder 14 which compresses the data which should be written in semiconductor memory 12, and the elongation decoder 16 which elongates the data read from semiconductor memory 12. Moreover, the semiconductor memory controller 10 is equipped with the control circuit 18 which controls these compression encoders 14 and elongation decoders 16, and the parameter register group 20 which specifies the mode of operation of a control circuit 18. This control circuit 18 generates the partial address further supplied to semiconductor memory 12, and various control signals. These addresses and signals are supplied to each semiconductor memory 12 by the partial address bus 22, local-control bus 24, etc.

[0015] The memory apparatus using the semiconductor memory controller 10 shown in drawing 1 does close and the output of data by the command from CPU which is not illustrated. This memory apparatus can be operated by various modes of operation by the parameter register group 20 mentioned above. When they divide roughly, they are a sequential entry of data, an output, and a random entry of data and an output.

Hereafter, the actuation is explained to a detail about those modes.

[0016] (a) It is inputted in fixed sequence from a sequential entry of data, an output CPU, etc., and there is a thing like image data in the data which are outputted only in the same sequence as it and with which the so-called sequential access is made. In

- image data etc., data are outputted and inputted for every party like [ in the case of displaying, for example on the CRT display of a raster scan mold ]. That is, this example is an example in the case of being used for a frame memory, an image data buffer, etc. of a CRT display.

[0017] In a sequential entry of data, each sequential data inputs into the semiconductor memory controller 10 one by one from CPU etc. Since only the sequence is important in sequential data, the address is not supplied from CPU etc. The inputted data are written in semiconductor memory 12 through the partial data bus 26, after predetermined compression is performed by the compression encoder 14. The partial address at the time of being written in is generated by the control circuit 18, and is supplied to semiconductor memory 12 through the partial address bus 22. The increment of this partial address is carried out according to the compressed data length after compression of each data. This partial address by which the increment was carried out is held at the write-in pointer in the write-in pointer control circuit 18, and is used in the case of the following entry of data.

[0018] Thus, in a sequential entry of data, since the address is not specified, a control circuit 18 can determine the partial address independently of the exterior. Therefore, it is possible to use the variable-length-coding method with which not only the fixed-length-coding method whose compressed data length after compression is immobilization but compressed data length does not become fixed die length. Generally, the way of a variable-length-coding method has high compressibility, and this coding method is used abundantly at compression of image data.

[0019] The control circuit 18 has the pointer which it not only generates the partial address at the time of writing in semiconductor memory 12, but holds the partial address which began writing. This pointer is read and a pointer is called. The partial address which this read-out pointer holds in the case of the output of sequential data is supplied to semiconductor memory 12. The expanding decoder 16 develops, the original data are restored, and the read compressed data is outputted outside.

[0020] As stated above, if an external circuit inputs only in sequence and reads [ as opposed to / only / the semiconductor memory controller 10 ] after that, in I/O of sequential data, the output of data will be performed in the same sequence. In this example, although it is possible to use a variable-length-coding method as mentioned above, from the outside, it cannot judge what magnitude in the case of this coding method, the amount of actual compressed data becomes. Therefore, if any allowance is not made, either, there is a possibility of it becoming impossible to perform an entry of data when the amount of data storages exceeds the total memory capacity of semiconductor memory 12, and destroying the data which input before and are not read yet. The control circuit 18 in this example is always supervising the rate of the actual data memorized to the total memory capacity, and if the rate becomes beyond a fixed value, it will output an alarm signal outside. This alarm signal can be used for the interrupt signal over external CPU etc. In addition, the value of the rate used as the criteria of this decision can be specified through the parameter register group 20 from the exterior. In addition, this monitor can be easily attained by comparing the partial address currently held at the read-out pointer with the partial address by which write-in pointer maintenance is carried out.

[0021] (b) Many [ to the data which specify the address, i.e., the location written in, and are inputted from a random entry of data, an output CPU, etc. and with which the so-called random access is made / usual alphabetic data, a usual array, etc. ] Moreover, a thing like the image data described in explanation of sequential data also has the case where he wants to take out some images alternatively etc., and, in such a case, it is common to be convenient in access which specified the address being possible. In such random access, since the location written in is specified in the address, a variable-length-coding method is inapplicable. However, since the partial address with which the compressed data is stored is determined as a meaning from the

address given from CPU etc., a fixed-length-coding method can be applied to random access. In this example, the partial address is calculated by the control circuit 18 from the address from the outside. Thus, random data as well as sequential data are compressible by applying a fixed-length-coding method.

[0022] In a random entry of data, each random data inputs into the semiconductor memory controller 10 from CPU etc. with the address. Inputting the address into a control circuit 18, a control circuit 18 calculates the partial address supplied to semiconductor memory 12 based on the address. Moreover, as for data, the data with which fixed length coding was performed and was compressed with fixed compressibility are written in semiconductor memory 12 by the compression encoder 14.

[0023] For example, if the partial address is generated by setting the address from the outside to one half by the coding method which has one half of compressibility, it is possible to memorize twice as many data as the total capacity of the actual semiconductor memory 12. Or it is suitable as for 1/2 in the number of bits of each data, using the address from the outside as the partial address as it is.

[0024] Thus, in a random entry of data, it is easily computable in the partial address supplied to semiconductor memory 12 based on the address from the outside.

[0025] In the output of random data, similarly, the partial address is calculated by the control circuit 18 and semiconductor memory 12 is supplied. The expanding decoder 16 develops, the original data are restored, and the read compressed data is outputted outside.

[0026] Since the address and the partial address from the outside were made to correspond to a meaning in I/O of random data using a fixed-length-coding method as stated above, it is possible to compute the partial address easily from the address from the outside. Therefore, also in random data, I/O of the data based on compression and elongation is possible like the case of sequential data.

[0027] (c) In mixture this example in the mode, although the I/O by compression and elongation of sequential data and random data is possible as mentioned above, it is possible by dividing the storage region by semiconductor memory 12, and considering as the field for sequential data, and the field for random data, respectively to treat two kinds of data to coincidence. Moreover, the usual data which do not carry out compression and elongation depending on the case may be outputted and inputted. It is possible to divide and prepare these fields in the total storage region. a setup in these modes writes a predetermined value in the parameter register group 20 -- or it is attained by setting a flag.

[0028] Since the semiconductor memory component prepared the compression encoder and the elongation decoder conventionally prepared for every semiconductor memory component in another object, it being characteristic in this example is being able to manage two or more semiconductor memory unitary. Therefore, as mentioned above, division of the field to the total memory capacity, the output of the alarm signal accompanying the increment in the amount of data to a storage region, etc. can be realized easily.

[0029] Hereafter, the application of the semiconductor memory controller by this invention is shown by the application 3 from an application 1.

[0030] Application 1 drawing 2 is the configuration block Fig. of the image printer which applied the semiconductor memory controller 30 by this application.

[0031] In an image printer, the image memory 32 which once accumulates image data has large-capacity-ized with the big-screen-izing and high-resolution-izing in recent years. This example uses the semiconductor memory controller 30 by this invention for this image memory 32. The image printer of this example accumulates the image data sent out from a computer etc. in an image memory 32 through the input interface 34. This image memory 32 consists of a semiconductor memory controller 30 by this invention, and semiconductor memory 36 managed by it. The image data accumulated

in this image memory 32 is read one by one, and various image processings are performed by the image-processing circuit 38. Next, it is sent out to the printer device section 42 by the record control circuit 40, and image data is printed on paper etc.

[0032] In this application, the data which the semi-conductor controller 30 treats are mainly sequential data. Each image data sent out from the input interface 34 is compressed, respectively, and is memorized by semiconductor memory 36. In case this image data by which compression storage was carried out is read by the image-processing circuit 38, it is elongated and it is returned to the original image data. In the case of this read-out, it is also possible to perform random access because of edit processings, such as partial logging of an image and rotation of an image.

[0033] Since the direction of an input and an output is fixed, it being characteristic in this application is that the semiconductor memory controller 30 is separately equipped with an input data terminal and an output-data terminal. That is, it is that the input and the output are separately performed independently like the so-called dual port RAM. Before the print of a front image is completed by considering as such a configuration, it is possible to capture the following image from a computer etc.

[0034] Although the terminal with separate input data terminal and output-data terminal is used in this way in this application, when an input and an output are not performed to coincidence, it is also possible to share both the data terminal. Saving of the number of terminals can be aimed at by using in common.

[0035] Moreover, the alarm signal stated in the example 1 is used for control signals, such as busy control to the computer which is a host, in this application. It is possible for a computer etc. to become possible [ waiting until an opening comes out to an image memory ], and to control a printer by this good.

[0036] Since the semiconductor memory controller 30 which performs compression and elongation of data was used for the image memory 32 of an image printer according to this application as stated above, it is possible to lessen semiconductor memory 36. Therefore, the substrate inside an image printer can be constituted small and effect is taken to reduction of cost.

[0037] Application 2 drawing 3 is the configuration block Fig. of the reproducing unit which applied the semiconductor memory controller 50 by this application.

[0038] In the reproducing unit, various functions by digital processing are added with multi-functionalization by digital processings various in recent years. In such a reproducing unit, the image memory 52 which once accumulates image data has large-capacity-ized like the image printer of an application 1. This application uses the semiconductor memory controller 50 by this invention for this image memory 52. The reproducing unit of this application accumulates the image data read in the manuscript by the reading section 54 in an image memory 52. This image memory 52 consists of a semiconductor memory controller 50 by this invention, and semiconductor memory 56 managed by it. The image data accumulated in this image memory 52 is read one by one, and various image processings are performed by the image-processing circuit 58. The image data after this processing is sent out to the Records Department 60, and image data is copied on paper etc. Although read-out of this image is usually performed in a sequential access, it is also possible to perform random access for edit processings, such as partial logging of an image and rotation of an image.

[0039] In this application, the data which the semi-conductor controller 50 treats like an application 1 are mainly sequential data. Moreover, similarly, in this application, since the direction of an input and an output is fixed, the semiconductor memory controller 50 is separately equipped with the input data terminal and the output-data terminal, and the input and the output are separately performed independently like the so-called dual port RAM. Before the print of a front manuscript is completed by such configuration, it is possible to read the following manuscript. Since the semiconductor memory controller 50 which performs compression and elongation of data was used for the image memory 52 of a reproducing unit according to this application as stated

above, it is possible to lessen semiconductor memory 56. Therefore, the substrate inside a reproducing unit can be constituted small and effect is taken to reduction of cost.

[0040] An application 3 and the semiconductor memory controller by this invention can be used also in case the frame memory used for image display devices, such as CRT, etc. is constituted.

[0041] Various things, such as a liquid crystal type image display device and a plasma display, are developed besides CRT, high-resolution-izing, colorization of a liquid crystal display, etc. take an image display device for progressing, and it has also large-capacity-ized the frame memory in recent years.

[0042] The application 1 mentioned above also in this frame memory and the same configuration as 2 can be adopted, and it is possible to do so same operation and effectiveness. Therefore, the substrate of a frame memory can be constituted small and effect is taken to reduction of cost.

[0043]

[Effect of the Invention] Since the semiconductor memory component formed compression and the means to elongate of data in another object according to this invention as stated above, to two or more semiconductor memory components, it is only compression / elongation means of a lot, and said semiconductor memory group can be managed collectively.

[0044] Therefore, it is possible to manage efficiently the storage region of two or more semiconductor memory components. Therefore, it has the effectiveness that reduction of cost and the miniaturization of equipment can be attained by efficient use of a semi-conductor storage element.

---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-204747

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.<sup>5</sup>  
G 0 6 F 12/04

識別記号 庁内整理番号  
5 3 0 8841-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平4-14238

(22)出願日 平成4年(1992)1月29日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 岡 賢一郎

神奈川県鎌倉市大船二丁目14番40号 三菱

電機株式会社生活システム研究所内

(72)発明者 大西 勝

神奈川県鎌倉市大船二丁目14番40号 三菱

電機株式会社生活システム研究所内

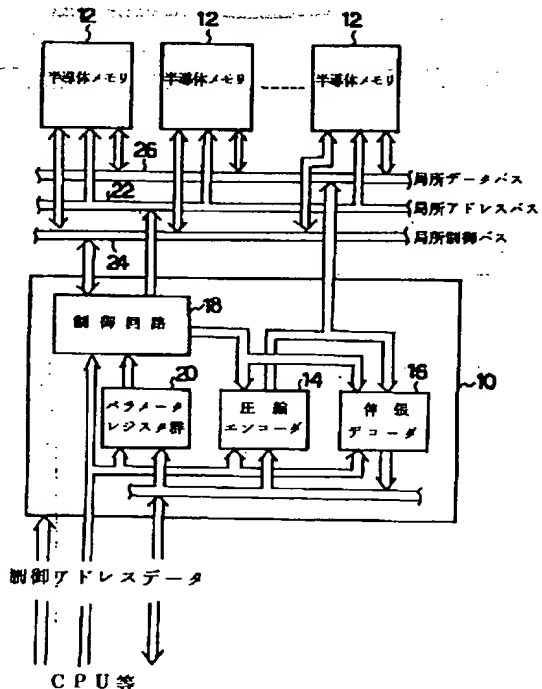
(74)代理人 弁理士 金山 敏彦 (外2名)

(54)【発明の名称】 半導体メモリコントローラ

(57)【要約】

【目的】 データの圧縮・伸張を行う半導体メモリコントローラであって、複数の半導体メモリ素子を制御できる半導体メモリコントローラを得る。

【構成】 半導体メモリコントローラ10は半導体メモリ12に書き込まれるべきデータを圧縮する圧縮エンコーダ14と、半導体メモリ12から読み出したデータを伸張する伸張デコーダ16とを備えている。また、半導体メモリコントローラ10は、これらの圧縮エンコーダ14と伸張デコーダ16とを制御する制御回路18と、制御回路18の動作モードを指定するパラメータレジスタ群20とを備えている。この制御回路18はさらに半導体メモリ12に供給される局所アドレスや、各種制御信号を生成する。よって、複数の半導体メモリ12を一括して管理可能であり、半導体メモリ12の効率的な利用が図れる。





## 【特許請求の範囲】

【請求項1】 複数のメモリにおけるデータの入出力を制御する半導体メモリコントローラであって、前記各メモリへ入力されるデータを圧縮する圧縮手段と、

前記各メモリから出力されるデータを伸張する伸張手段と、

前記圧縮されたデータの量に応じて前記メモリにおける記憶領域の割り当て制御を行う手段であって、前記記憶領域を表すアドレスを生成する制御手段と、

を含み、前記複数のメモリ素子とは別体に設けられていることを特徴とする半導体メモリコントローラ。

【請求項2】 複数のメモリにおけるデータの入出力を制御する半導体メモリコントローラであって、前記各メモリへ入力されるデータを圧縮する圧縮手段と、

前記各メモリから出力されるデータを伸張する伸張手段と、

前記圧縮されたデータの前記メモリにおける記憶領域の割り当て制御を行う手段であって、外部から入力されるアドレスに基づいて、前記記憶領域を表すアドレスを演算する制御手段と、

を含み、前記複数のメモリ素子とは別体に設けられていることを特徴とする半導体メモリコントローラ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体メモリ素子を用いた半導体メモリ装置に適用される半導体メモリコントローラに関する。

## 【0002】

【従来の技術】近年、複写機や画像表示装置等の性能は著しく向上している。それに伴い画像データなどを保持するための半導体記憶装置の容量は極めて大きなものが要求されている。そのため、これらの装置に用いられるメモリ素子の数は膨大なものとなっており、実装面積も極めて大である。メモリ素子の数を減少させるためには、一個当たりの記憶容量を増せば良いが、半導体メモリ素子の集積密度に飛躍的な向上がない限り問題を解決するには不十分であった。

【0003】このような問題に対して、例えば、特開昭63-183699号、特開平2-86267号、特開平3-105789号公報などにおいては、データの圧縮・伸張機能付きのメモリ素子が提案されている。データの圧縮・伸張を各半導体メモリにおいて行うことによって、少ない記憶容量で多くのデータを記憶するようにしたものである。

## 【0004】

【発明が解決しようとする課題】従来の圧縮・伸張機能付きメモリ素子は、各メモリ素子毎に圧縮や伸張の回路を備えなければならない、同じ動作をする回路が複数必要になるという無駄があった。

【0005】また、圧縮方式として可変長符号化方式を採用した場合、圧縮するデータによって圧縮後の符号長が変化してしまうので、各メモリ素子によって、使用される実際の記憶領域が異なることになる。このため、それぞれのメモリ素子に記憶されているデータ量がばらばらになり、メモリ素子の記憶領域の効率的な利用が達成できないという問題があった。

【0006】本発明はこのような課題に鑑みなされたもので、その目的は、データの圧縮・伸張を行う半導体メモリコントローラであって、複数の半導体メモリ素子を制御できる半導体メモリコントローラを得ることである。

## 【0007】

【課題を解決するための手段】本発明は、上述の課題を解決するために、前記各メモリへ入力されるデータを圧縮する圧縮手段と、前記各メモリから出力されるデータを伸張する伸張手段と、前記圧縮されたデータの量に応じて前記メモリにおける記憶領域の割り当て制御を行う手段であって、前記記憶領域を表すアドレスを生成する制御手段と、を含み、前記複数のメモリ素子とは別体に設けられていることを特徴とする半導体メモリコントローラである。

【0008】したがって、連続して入・出力するデータをその順番毎に入・出力する、いわゆるシーケンシャルアクセスが可能なメモリ装置を実現する半導体メモリコントローラである。

【0009】また、本発明は、前記各メモリへ入力されるデータを圧縮する圧縮手段と、前記各メモリから出力されるデータを伸張する伸張手段と、前記圧縮されたデータの前記メモリにおける記憶領域の割り当て制御を行う手段であって、外部から入力されるアドレスに基づいて、前記記憶領域を表すアドレスを演算する制御手段と、を含み、前記複数のメモリ素子とは別体に設けられていることを特徴とする半導体メモリコントローラである。

【0010】したがって、アドレスによって記憶する位置を指定する、いわゆるランダムアクセスが可能なメモリ装置を実現する半導体メモリコントローラである。

## 【0011】

【作用】従来、圧縮・伸張手段は半導体メモリ素子毎に設けられていた。しかし、本発明における圧縮・伸張手段は、複数の半導体メモリを管理する一個の半導体メモリコントローラ内に一組だけ設けられているので、その一組の圧縮・伸張手段で全ての半導体メモリ素子に対するデータ圧縮・伸張を行うことが可能である。また、一個の半導体メモリコントローラで、複数の半導体メモリを管理するので、複数の半導体メモリ素子の使用状況を一元管理可能である。

## 【0012】

【実施例】

## 実施例1

以下、本発明の好適な実施例を図面に基づいて説明する。

【0013】図1に、本発明の一実施例である半導体メモリコントローラを適用したメモリ装置の構成ブロック図が示されている。図に示されているように、このメモリ装置は、本発明の一実施例である半導体メモリコントローラ10と、半導体メモリコントローラ10によって圧縮されたデータを記憶する半導体メモリ12とから構成され、データの入出力は、全てこの半導体メモリコントローラ10を介して行われる。

【0014】半導体メモリコントローラ10は、半導体メモリ12に書き込まれるべきデータを圧縮する圧縮エンコーダ14と、半導体メモリ12から読み出したデータを伸張する伸張デコーダ16とを備えている。また、半導体メモリコントローラ10は、これらの圧縮エンコーダ14と伸張デコーダ16とを制御する制御回路18と、制御回路18の動作モードを指定するパラメータレジスタ群20とを備えている。この制御回路18はさらに半導体メモリ12に供給される局所アドレスや、各種制御信号を生成する。これらのアドレスや信号は、局所アドレスバス22や局所制御バス24などによって、各半導体メモリ12に供給されている。

【0015】図1に示されている半導体メモリコントローラ10を用いたメモリ装置は、図示されていないCPU等からの指令によって、データを入・出力する。本メモリ装置は、前述したパラメータレジスタ群20により様々な動作モードで動作することが可能である。それらは大別すると、シーケンシャルデータの入力と出力、及びランダムデータの入力と出力である。以下、それらのモードについてその動作を詳細に説明する。

【0016】(a) シーケンシャルデータの入力と出力  
CPU等から一定の順番で入力され、それと同一の順番でのみ出力される、いわゆるシーケンシャルアクセスがなされるデータには、例えば画像データのようなものがある。画像データなどにおいては、例えばラスラスキャン型のCRTディスプレイに表示する場合のように、一行ごとにデータが入出力される。つまり本実施例は、CRTディスプレイのフレームメモリや画像データバッファ等に使用される場合の例である。

【0017】シーケンシャルデータの入力においては、各シーケンシャルデータがCPU等から、順次半導体メモリコントローラ10に入力する。シーケンシャルデータにおいてはその順番のみが重要であるので、CPU等からはアドレスは供給されない。入力したデータは、圧縮エンコーダ14によって所定の圧縮が行われた後、局所データバス26を通じて半導体メモリ12に書き込まれる。書き込まれる際の局所アドレスは制御回路18によって生成され、局所アドレスバス22を通じて半導体メモリ12に供給される。この局所アドレスは各データ

の圧縮後の圧縮データ長に従ってインクリメントされる。このインクリメントされた局所アドレスは、書き込みポイント制御回路18内の書き込みポイントに保持され、次のデータの入力の際に使用される。

【0018】このように、シーケンシャルデータの入力においては、そのアドレスを指定しないので、制御回路18が外部とは独立に局所アドレスを決定することができる。したがって、圧縮後の圧縮データ長が固定である固定長符号化方式だけでなく、圧縮データ長が一定の長さとはならない可変長符号化方式を用いることが可能である。一般的には、可変長符号化方式のほうが圧縮率が高く、画像データの圧縮にはこの符号化方式が多用されている。

【0019】制御回路18は、半導体メモリ12に書き込む際の局所アドレスを生成するだけでなく、書き込みを始めた局所アドレスを保持するポイントを有している。このポイントを読み出しポイントと称する。シーケンシャルデータの出力の際には、この読み出しポイントの保持する局所アドレスが半導体メモリ12に供給される。読み出された圧縮データは伸張デコーダ16によって伸張され元のデータが復元され、外部に出力される。

【0020】以上述べたように、シーケンシャルデータの入出力においては、外部回路は単に順番に入力を行い、その後、単に半導体メモリコントローラ10に対して読み出しを行えばデータの出力は同一の順番で行われる。本実施例においては、前述したように可変長符号化方式を用いることが可能であるが、この符号化方式の場合においては、実際の圧縮データの量がどの程度の大きさになるかは外部からは判断できない。したがって、何らの手当てもなされていないと、データの記憶量が半導体メモリ12の総記憶容量を越えた場合にデータの入力が行えなくなったり、以前に入力してまだ読み出されていないデータを破壊してしまったりする恐れがある。本実施例における制御回路18は、総記憶容量に対する実際の記憶されているデータの割合を常に監視しており、その割合が一定の値以上になったならば外部に警告信号を出力するようになっている。この警告信号は例えば、外部のCPU等に対する割り込み信号などに利用することが可能である。なお、この判断の基準となる割合の値は外部からパラメータレジスタ群20を介して指定することが可能である。なお、この監視は読み出しポイントに保持されている局所アドレスと、書き込みポイント保持されている局所アドレスとを比較することによって容易に達成できる。

【0021】(b) ランダムデータの入力と出力  
CPU等からアドレスと共に、すなわち、書き込まれる位置を指定して入力される、いわゆるランダムアクセスがなされるデータには、通常の文字データや配列など数多い。また、シーケンシャルデータの説明において述べた画像データのようなものでも画像の一部を選択的にと

り出したい場合などがあり、そのような場合にはアドレスを指定したアクセスが可能であると便利なが多い。このようなランダムアクセスにおいては、アドレスでその書き込まれる位置が指定されるため、可変長符号化方式を適用することはできない。しかし固定長符号化方式は、その圧縮データが格納される局所アドレスがCPU等から与えられるアドレスから一意に決定されるので、ランダムアクセスに適用することが可能である。本実施例においては、局所アドレスは制御回路18によって外部からのアドレスから計算されている。このようにして、固定長符号化方式を適用することにより、ランダムデータもシーケンシャルデータと同様に圧縮が可能である。

【0022】ランダムデータの入力においては、各ランダムデータがアドレスと共にCPU等から半導体メモリコントローラ10に入力する。そのアドレスは制御回路18に入力し、制御回路18はそのアドレスを基に半導体メモリ12に供給する局所アドレスを計算する。また、データは圧縮エンコーダ14によって固定長符号化が行われ、一定の圧縮率で圧縮されたデータが半導体メモリ12に書き込まれる。

【0023】例えば、1/2の圧縮率を有する符号化方式では、外部からのアドレスを1/2にすることによって局所アドレスを生成すれば、実際の半導体メモリ12の総容量の2倍のデータを記憶することが可能である。または、外部からのアドレスをそのまま局所アドレスとして用い、各データのビット数を1/2にしても好適である。

【0024】このように、ランダムデータの入力においては、外部からのアドレスに基づいて半導体メモリ12に供給する局所アドレスを容易に計算可能である。

【0025】ランダムデータの出力においても同様に制御回路18によって局所アドレスが計算され、半導体メモリ12に供給される。読み出された圧縮データは伸長デコーダ16によって伸長され元のデータが復元され、外部に出力される。

【0026】以上述べたように、ランダムデータの出力においては、固定長符号化方式を用いて外部からのアドレスと局所アドレスとを一意に対応させたので、局所アドレスを外部からのアドレスから容易に算出することが可能である。したがって、シーケンシャルデータの場合と同様にランダムデータにおいても圧縮・伸張によるデータの入出力が可能である。

【0027】(c)モードの混在

本実施例においては、前述したようにシーケンシャルデータ及びランダムデータの圧縮・伸張による入出力が可能であるが、半導体メモリ12による記憶領域を分割し、それぞれシーケンシャルデータ用領域、ランダムデータ用領域とすることにより、2種類のデータを同時に扱うことが可能である。また、場合によっては、圧縮・

伸張をしない通常のデータの入出力を行っても良い。これらの領域を総記憶領域の中で分割して設けることが可能である。これらのモードの設定は、パラメータレジスタ群20に所定の値を書き込むことや、あるいはフラグのセットを行うことによって達成される。

【0028】本実施例において特徴的なことは、従来半導体メモリ素子毎に設けられていた圧縮エンコーダ・伸張デコーダを、半導体メモリ素子とは別体に設けたので、複数の半導体メモリを一元的に管理可能な事である。したがって、前述したように、総記憶容量に対する領域の分割や、記憶領域に対するデータ量の増加に伴う警告信号の出力などが容易に実現可能である。

【0029】以下、本発明による半導体メモリコントローラの実用例を応用例1から応用例3までに示す。

【0030】応用例1

図2は、本応用例による半導体メモリコントローラ30を適用したイメージプリンタの構成ブロック図である。

【0031】イメージプリンタにおいては、近年その大画面化、高解像度化にともなう、画像データを一旦蓄積する画像メモリ32が大容量化している。本実施例はこの画像メモリ32に本発明による半導体メモリコントローラ30を用いたものである。本実施例のイメージプリンタは、コンピュータなどから送出される画像データを、入力インターフェース34を介して、画像メモリ32に蓄積する。この画像メモリ32は、本発明による半導体メモリコントローラ30と、それに管理される半導体メモリ36とから構成されている。この画像メモリ32に蓄積された画像データは順次読み出されて、画像処理回路38によって種々の画像処理が行われる。次に記録制御回路40によってプリンタ機構部42に送出され、画像データが紙等にプリントされる。

【0032】本応用例においては、半導体コントローラ30が扱うデータは主としてシーケンシャルデータである。入力インターフェース34から送出されてきた各画像データはそれぞれ圧縮されて半導体メモリ36に記憶される。この圧縮記憶された画像データは、画像処理回路38によって読み出される際に、伸張されて元の画像データに戻される。この読み出しの際には、画像の部分切り出しや画像の回転等の編集処理のため、ランダムアクセスを行うことも可能である。

【0033】本応用例において特徴的なことは、入力と出力の方向が一定であるため、半導体メモリコントローラ30が入力データ端子と出力データ端子とを別々に備えていることである。すなわち、いわゆるデュアルポートRAMのように、入力と出力とが別々に独立して行われていることである。このような構成とすることにより、前の画像のプリントが終了する前に、次の画像をコンピュータ等から取り込むことが可能である。

【0034】本応用例においてはこのように、入力データ端子と出力データ端子とは別々の端子を用いている

が、入力と出力とが同時に行われない場合には両データ端子を共用することも可能である。共用することによって、端子数の節約を図ることができる。

【0035】また、実施例1で述べた警告信号は本応用例においてはホストであるコンピュータに対するビジー制御等の制御信号に用いられる。これによって、コンピュータ等は、画像メモリに空きが出るまで待つことが可能となり、プリンタの制御を良好に行うことが可能である。

【0036】以上述べたように、本応用例によれば、イメージプリンタの画像メモリ32にデータの圧縮・伸張を行う半導体メモリコントローラ30を用いたので、半導体メモリ36を少なくすることが可能である。したがって、イメージプリンタ内部の基板を小さく構成でき、コストの低減に効果を奏する。

【0037】応用例2

図3は、本応用例による半導体メモリコントローラ50を適用した複写装置の構成ブロック図である。

【0038】複写装置においては、近年さまざまなデジタル処理による多機能化に伴い、デジタル処理による様々な機能が付加されている。このような複写装置においては応用例1のイメージプリンタと同様に、画像データを一旦蓄積する画像メモリ52が大容量化している。本応用例はこの画像メモリ52に本発明による半導体メモリコントローラ50を用いたものである。本応用例の複写装置は、読み取り部54によって原稿から読み取った画像データを、画像メモリ52に蓄積する。この画像メモリ52は、本発明による半導体メモリコントローラ50と、それに管理される半導体メモリ56とから構成されている。この画像メモリ52に蓄積された画像データは順次読み出されて、画像処理回路58によって種々の画像処理が行われる。この処理後の画像データは、記録部60に送出され、画像データが紙等に複写される。この画像の読み出しは、通常シーケンシャルアクセスにて行われるが、画像の部分切り出しや画像の回転等の編集処理のためにランダムアクセスを行うことも可能である。

【0039】本応用例においては、応用例1と同様に半導体コントローラ50が扱うデータは、主としてシーケンシャルデータである。また、同様に、本応用例においても入力と出力の方向が一定であるため、半導体メモリコントローラ50は入力データ端子と出力データ端子とを別々に備えており、いわゆるデュアルポートRAMのように入力と出力とが別々に独立して行われている。このような構成によって、前の原稿のプリントが終了する前に次の原稿の読み取りを行うことが可能である。以上述べたように、本応用例によれば、複写装置の画像メ

モリ52にデータの圧縮・伸張を行う半導体メモリコントローラ50を用いたので、半導体メモリ56を少なくすることが可能である。したがって、複写装置内部の基板を小さく構成でき、コストの低減に効果を奏する。

【0040】応用例3

また、本発明による半導体メモリコントローラは、CRTなどの画像表示装置などに用いられるフレームメモリを構成する際にも用いることができる。

【0041】画像表示装置は近年、CRT以外にも液晶式画像表示装置やプラズマディスプレイなど様々なものが開発されており、高解像度化や、液晶式表示装置のカラー化等が進むに連れて、フレームメモリも大容量化してきている。

【0042】このフレームメモリにも前述した応用例1や2と同様の構成を採用することができ、同様の作用・効果を奏することが可能である。したがって、フレームメモリの基板を小さく構成でき、コストの低減に効果を奏する。

【0043】

【発明の効果】以上述べたように本発明によれば、データの圧縮・伸張する手段を、半導体メモリ素子とは別体に設けたため、複数の半導体メモリ素子に対して一組の圧縮・伸張手段だけで、前記半導体メモリ群を一括して管理可能である。

【0044】したがって、複数の半導体メモリ素子の記憶領域を効率的に管理することが可能である。したがって、半導体記憶素子の効率的な利用によってコストの低減と、装置の小型化が図れるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体メモリコントローラを適用したメモリ装置の構成ブロック図である。

【図2】本発明の一実施例である半導体メモリコントローラを適用したイメージプリンタの構成ブロック図である。

【図3】本発明の一実施例である半導体メモリコントローラを適用した複写装置の構成ブロック図である。

【符号の説明】

10 半導体メモリコントローラ

12 半導体メモリ

14 圧縮エンコーダ

16 伸張デコーダ

18 制御回路

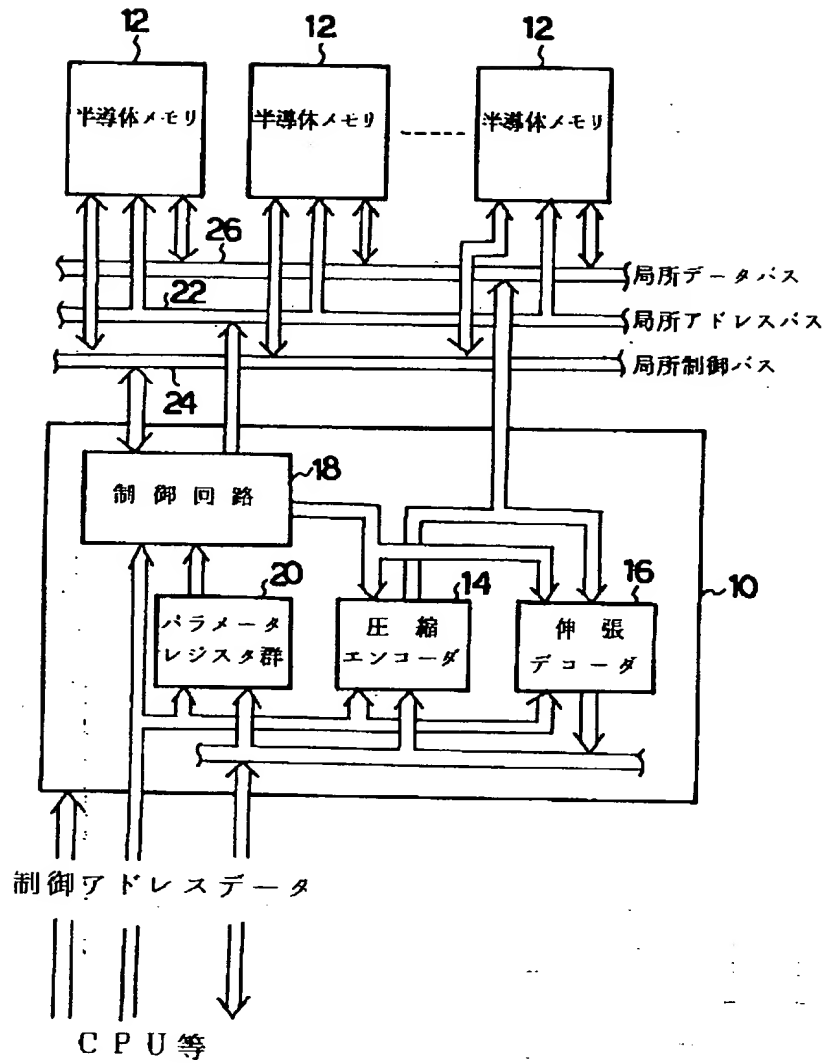
20 パラメータレジスタ群

22 局所アドレスバス

24 局所制御バス

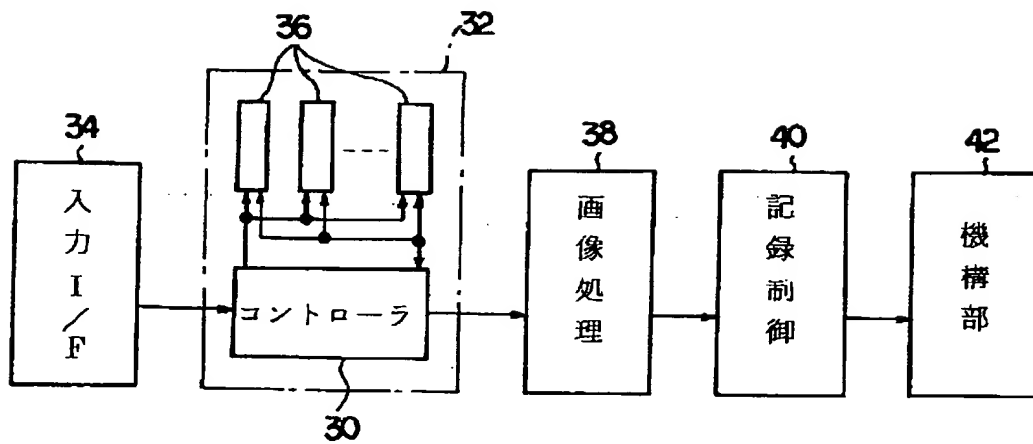
26 局所データバス

【図1】



【図2】

イメージプリンタ



【図3】

複写装置

